

Laboratório No. 3
Transmissor Serial Assíncrono e Interface RS 232-C

PREPARATÓRIO

Projete um transmissor serial assíncrono (START/STOP) para dados de 8 bits, com as seguintes características:

1. 1 bit de START e 1 bit de STOP (após a transmissão a saída deve permanecer em MARK).
2. Representação do dado serial: NRZ.
3. Taxa de transmissão: 9600 bps (utilize gerador de sinais para obter frequência correta).
4. Código dos dados: ASCII de 8 bits (MSB=0); LSB transmitido em primeiro, sem paridade.
5. A transmissão é comandada pelo pulso externo Computer Data Ready (CDR=0). O dado a ser transmitido e CDR são fornecidos por uma CPU (chaves da placa).
6. O circuito deve fazer TRDY=1 (Transmitter Ready) após transmitir cada caracter (TRDY=0 durante a transmissão, impede que CPU comande a transmissão de outro caracter). TRDY deve permanecer igual a 1 até que novo dado seja carregado para a transmissão (CDR=0).
7. Para sincronizar o relógio com o início da transmissão utilize um circuito com um flip-flop, conforme visto em aula. Lembre-se que cada bit deve permanecer na saída serial por exatamente um período da taxa de transmissão.
8. O transmissor deverá ser ligado a um PC através da interface RS-232C. Nesta conexão, são necessários apenas os sinais: GROUND e TXD. Utilize a saída serial da FPGA e solicite cabo especial para ligar pinos do conector RS-232C à placa.

LABORATÓRIO

1. Simule o circuito e teste o seu funcionamento, transmitindo vários códigos ASCII.
2. Com o CMaker, teste o circuito montado com o relógio manual antes de usar o pulser.
3. Teste o transmissor, enviando para o PC, códigos ASCII variados de teclas alfa-numéricas.