

---

# FPGA & VHDL

---

## Exercícios Sugeridos

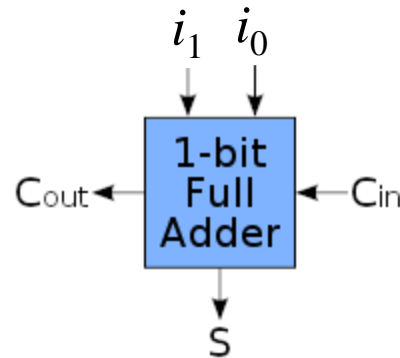
Computação Digital

# Exercícios

## 1) Somador completo (modular) de 2 bits

Somador completo de 1 bit

$i_1$	$i_0$	$C_{in}$	$C_{out}$	$S$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



5 entradas:

$A_1, A_0, B_1, B_0, C_0$

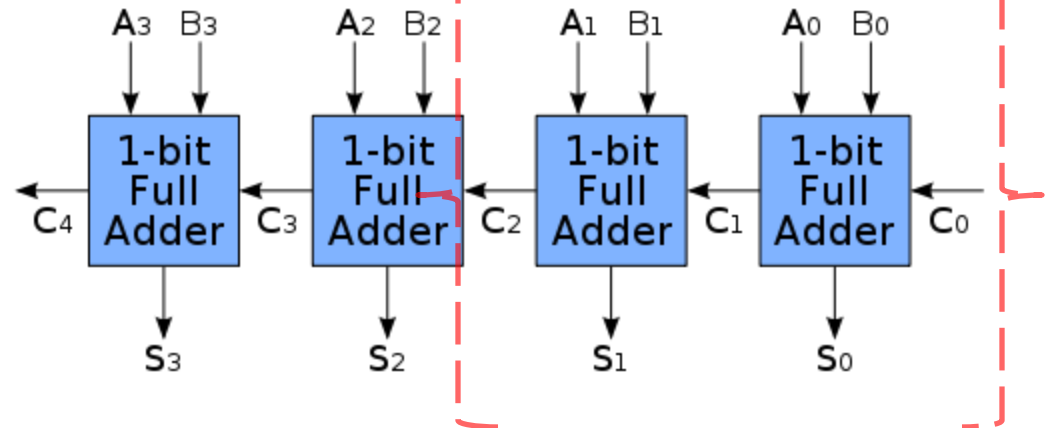
3 saídas:

$C_2, S_1, S_0$

a) Codificar em VHDL

b) *Testbench*:

- pelo menos 20 casos



# Exercícios

## 2) Somador BCD (monolítico)

- ❑ 2 entradas 'A' e 'B' de 4 *bits* em BCD (0 a 9)
- ❑ Saída de 5 bits em BCD (0 a 18)

## 3) Somador sinal-magnitude (SM) (monolítico)

- ❑ 2 entradas 'A' e 'B' de 4 *bits* em SM (-7 a +7)
- ❑ Saída de 4 bits em SM ( $-E_h$  a  $+E_h$ )

- ❑ Exemplo:

- $(-3) + (+7) = (+4) \leftrightarrow (\overline{1}011) + (0111) = (0100)$

- ❑ Dicas:

- Se os 2 operandos tiverem o mesmo sinal: somar as magnitudes e manter o sinal
- Se não: subtrair a menor magnitude da maior e manter o sinal do operando que possuir a maior magnitude

# Exercícios

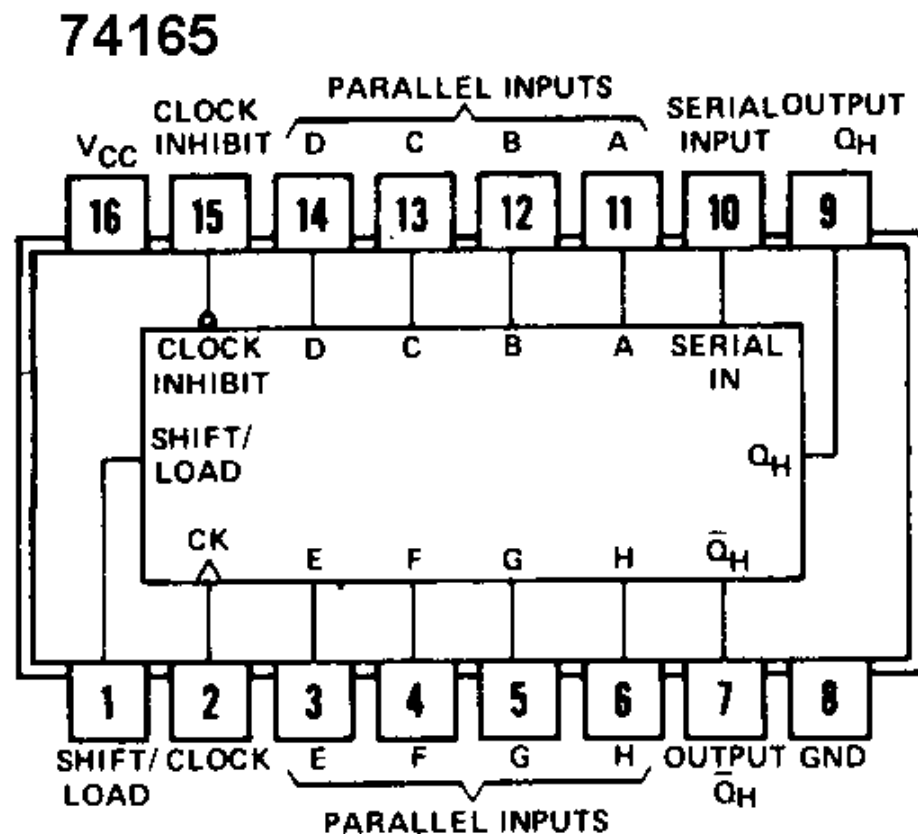
## 4) Contadores decimais cascadeados

- ❑ Instancie 2 contadores decimais de forma a contarem de 00 a 20
- ❑ Dicas:
  - Utilize o contador módulo- $m$  com  $m = 10$
  - Conecte o *clock* do *testbench* na entrada de *clock* do contador do dígito menos significativo
  - Conecte a saída “max\_tick” desse contador à entrada de *clock* do contador do dígito mais significativo

# Exercícios

5) Circuito com mesma funcionalidade do registrador de deslocamento 74165:

- ❑ Codificar em VHDL
- ❑ Simular:  
criar *testbench*  
contendo combinações  
com todas as entradas



# Exercícios

## 6) Circuito com mesma funcionalidade contador decimal 74190

- ❑ Codificar em VHDL – dicas
- ❑ Simular:  
criar *testbench*  
contendo combinações  
com todas as entradas

