

---

# FPGA – Spartan3E

---

## Introdução

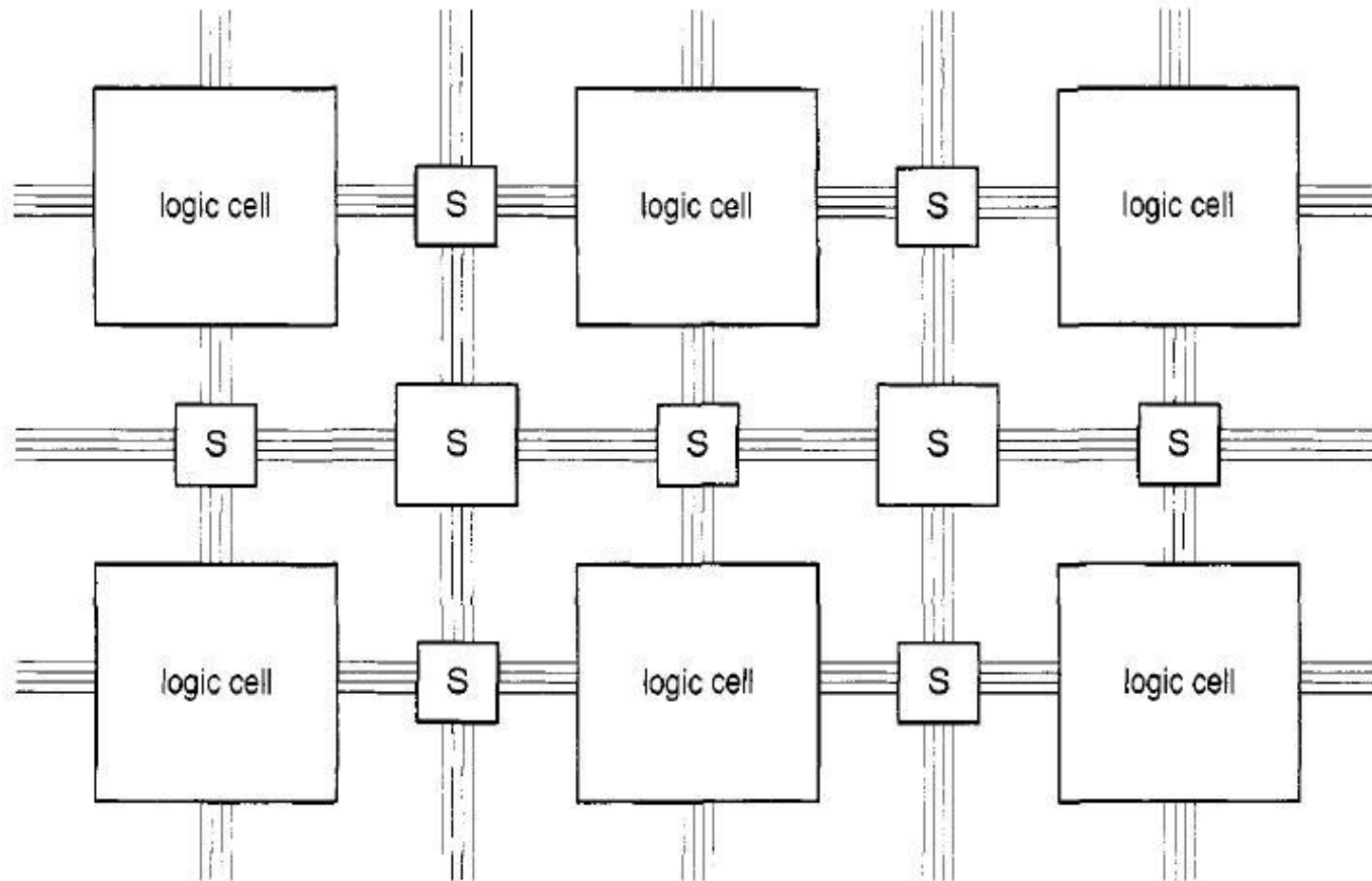
2011-1

---

# FPGA – *Field Programmable Gate Array*

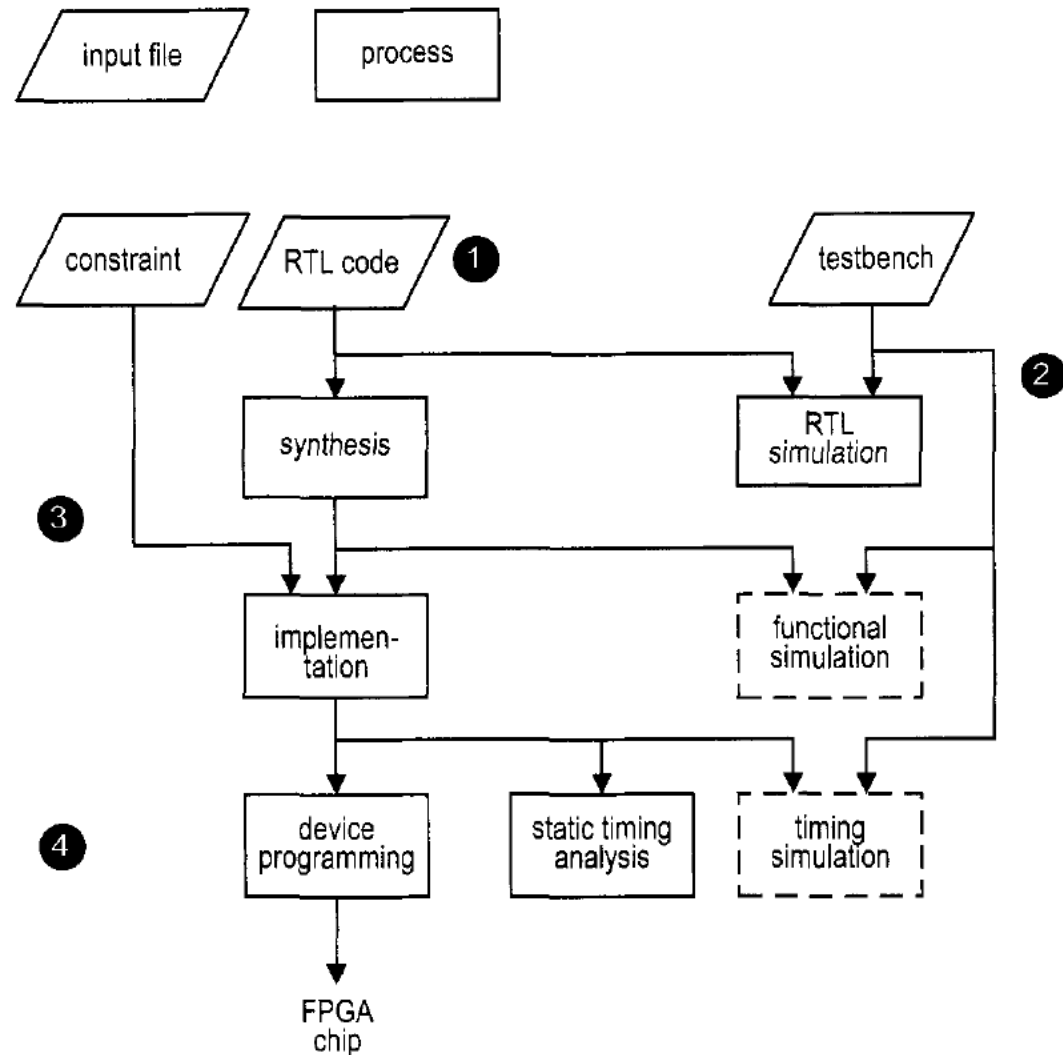
- Dispositivo lógico contendo uma matriz de:
    - Células lógicas genéricas
      - Configuráveis (“programadas”) para desempenhar uma função simples
    - Chaves programáveis
      - Interconectam as células segundo uma configuração
  - Implementação de um projeto:
    - Especificação da função de cada célula
    - Configuração da conexão de cada chave
  - Configuração de uma FPGA:
    - Síntese do projeto
    - Arquivo de configuração enviado para FPGA por cabo
    - Processo feito “em campo” (*Field*), invés de “em fábrica”
-

# Estrutura Conceitual



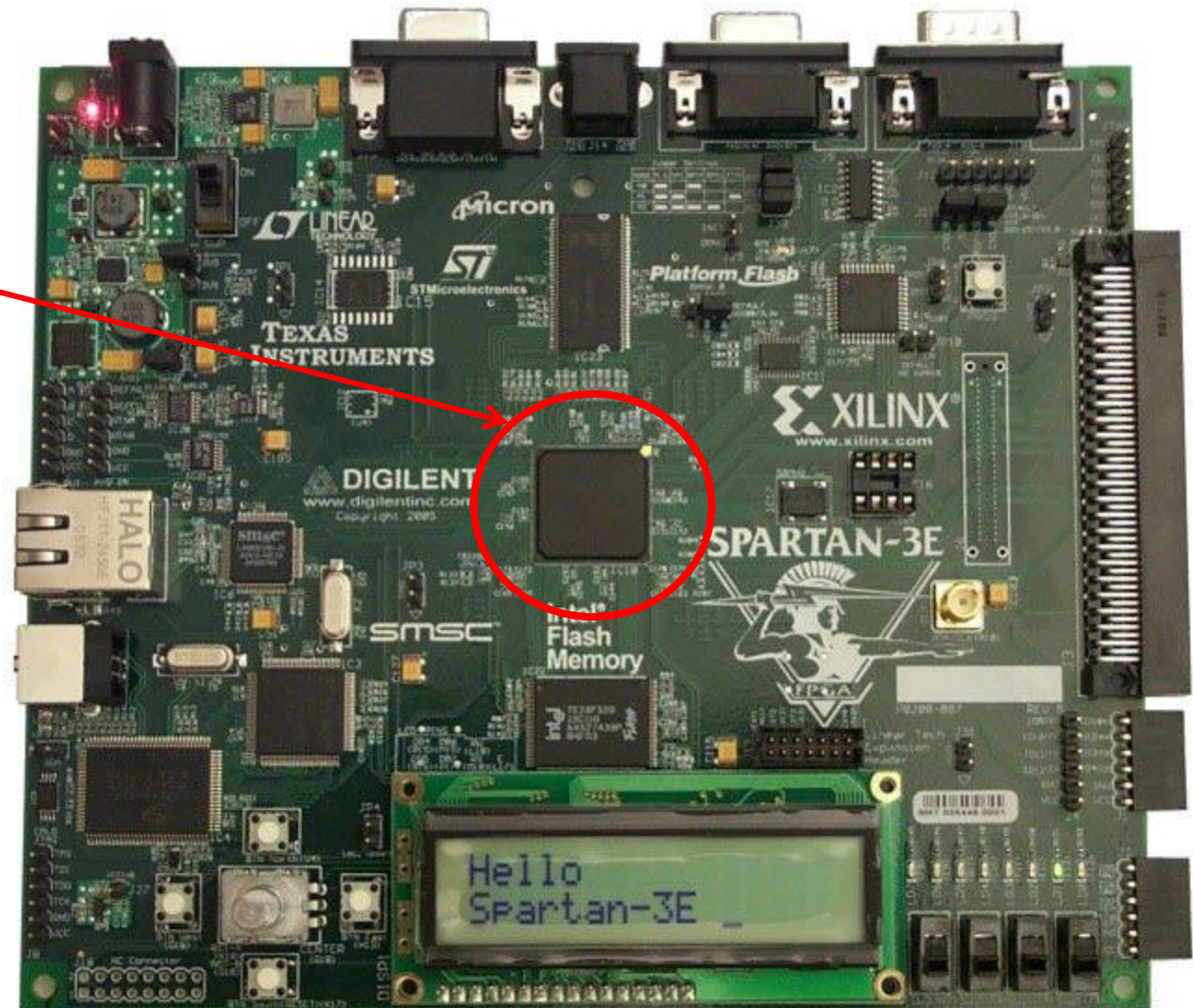
# Projeto e Programação

- Independem do CI:
  - (1) Projeto do sistema: arquivos VHDL
  - (2) Desenvolvimento do teste
- Dependem do CI:
  - (3) Síntese
    - Gera componentes genéricos (portas e *flip-flops*)
  - (3) Implementação
    - Conexões de E/S do CI com os periféricos
  - (4) Geração e transferência do arquivo de configuração



# Placas Didáticas – Spartan-3E Starter Kit

FPGA:  
Spartan 3E



---

# Spartan3E – Elementos Funcionais

- **Configurable Logic Blocks (CLBs):**
    - Contem Look-Up Tables (LUTs) flexíveis que implementam lógica e elementos de armazenamento utilizados como flip-flops ou latches.
  - **Input/Output Blocks (IOBs)**
    - Controla o fluxo de dados entre os pinos de I/O e a lógica interna do dispositivo. Cada IOB suporta fluxo de dados bidirecional, operando com 3-states.
-

---

# Spartan3E – Elementos Funcionais

## ■ **Block RAM**

- Armazena dados em blocos de 18-Kbit.

## ■ **Multiplier Blocks**

- Aceita dois números binários de 18-bit como entradas e calcula o produto.

## ■ **Digital Clock Manager (DCM) Blocks**

- Soluções para distribuir, atrasar, multiplicar, dividir e alterar a fase de sinais de clock automaticamente.
-

# Spartan3E - Atributos

Table 1: Summary of Spartan-3E FPGA Attributes

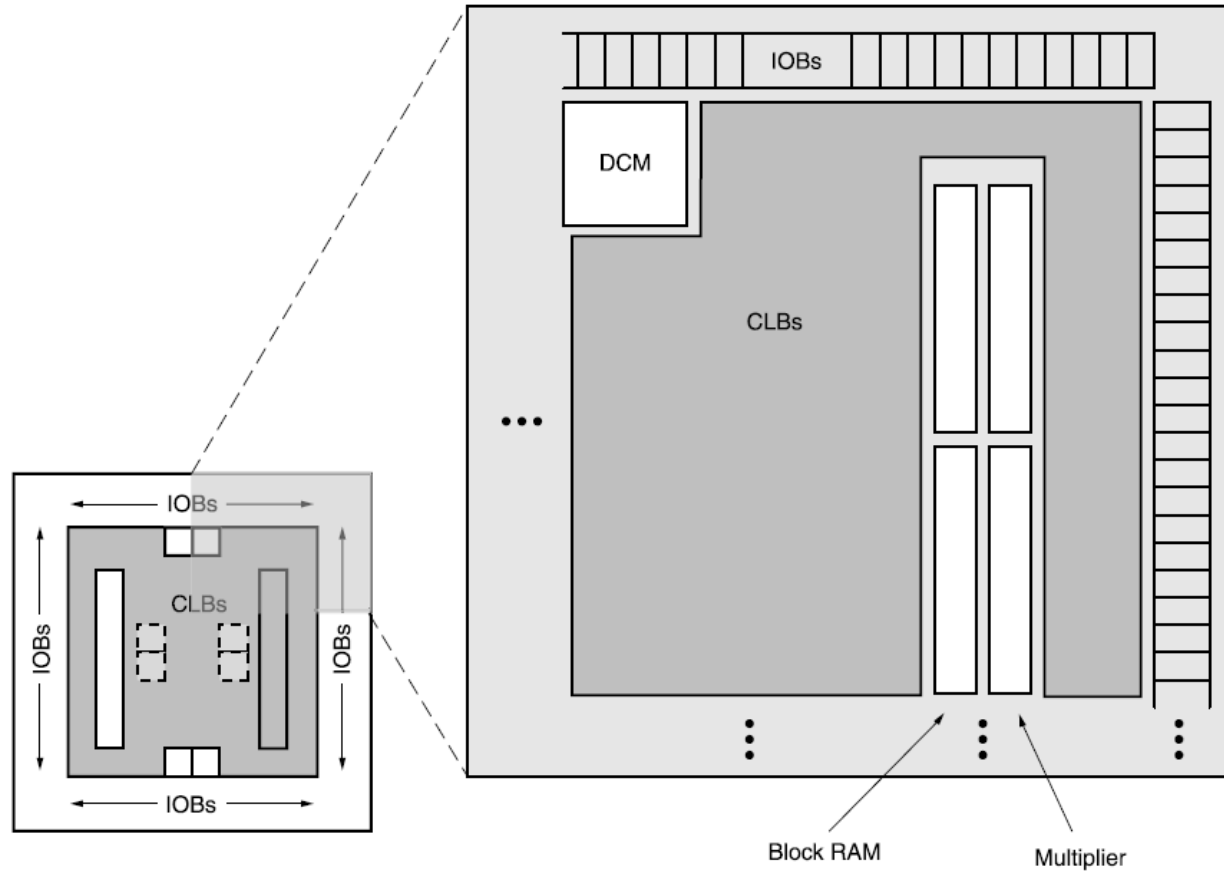
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits <sup>(1)</sup>	Block RAM bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

**Notes:**

1. By convention, one Kb is equivalent to 1,024 bits.



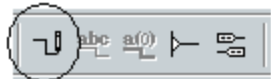
# Spartan-3E – Arquitetura



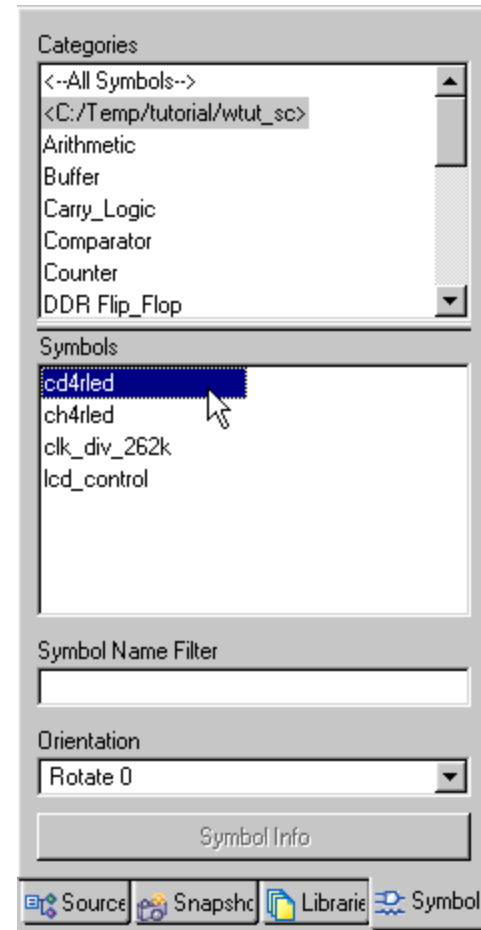
# Adicionar Componentes ao Esquemático



**Add Symbol Icon**



**Add Wire Icon**



**Symbol Browser**

---

# Validando Esquemático

- Verifica se o esquemático possui algum erro lógico, rodando um verificador de regras de design (Design Rule Check – DRC).
  - Selecionar **Tools > Check Schematic**. A janela do Console deve reportar que nenhum erro ou warning foi detectado. Caso contrário, conserte o problema antes de prosseguir.
-